

(19) 日本国特許庁 (J P)

(12) 登録実用新案公報 (U)

(11) 実用新案登録番号
実用新案登録第3084395号
(U3084395)

(45) 発行日 平成14年3月22日 (2002. 3. 22)

(24) 登録日 平成13年12月19日 (2001. 12. 19)

(51) Int.Cl.⁷

識別記号

F I

G 0 5 F 1/56

3 2 0

G 0 5 F 1/56

3 2 0 C

H 0 2 H 7/20

H 0 2 H 7/20

D

9/04

9/04

Z

評価書の請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号

実願2001-5721 (U2001-5721)

(22) 出願日

平成13年8月30日 (2001. 8. 30)

(73) 実用新案権者 000174426

阪神エレクトリック株式会社

兵庫県神戸市灘区都通2丁目1番26号

(72) 考案者 佐々木 義仁

兵庫県神戸市灘区都通2丁目1番26号 阪

神エレクトリック株式会社内

(74) 代理人 100082669

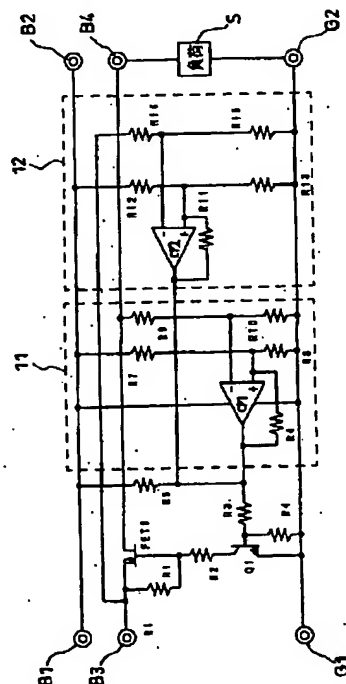
弁理士 福田 賢三 (外2名)

(54) 【考案の名称】 電源回路

(57) 【要約】

【課題】 過電圧を維持しないように抑える過電圧保護回路は回路構成が大きく、また、ラッチ回路による過電圧保護では、すぐに回路を停止してしまう。

【解決手段】 出力電圧が過電圧を維持しないように抑える過電圧保護回路11と、スイッチング素子の入力電圧が過電圧となった場合にラッチ回路が動作して、スイッチング素子の動作を停止する(ラッチ回路による)過電圧保護回路12の双方を設けた。



【実用新案登録請求の範囲】

【請求項1】 スイッチング素子を介して負荷に印加される出力電圧が第1の設定値までの過大な電圧となったときには、前記スイッチング素子をオフ制御して、出力電圧を下げ、出力電圧が下がると、前記スイッチング素子のオフ制御を解除して通常の設定電圧制御に復帰する第1の過電圧保護回路と、

前記スイッチング素子の入力電圧に前記第1の設定値を超える過大な電圧が印加されたときには、前記スイッチング素子をオフさせてスイッチング素子の動作を停止する第2の過電圧保護回路とを備えたことを特徴とする電源回路。

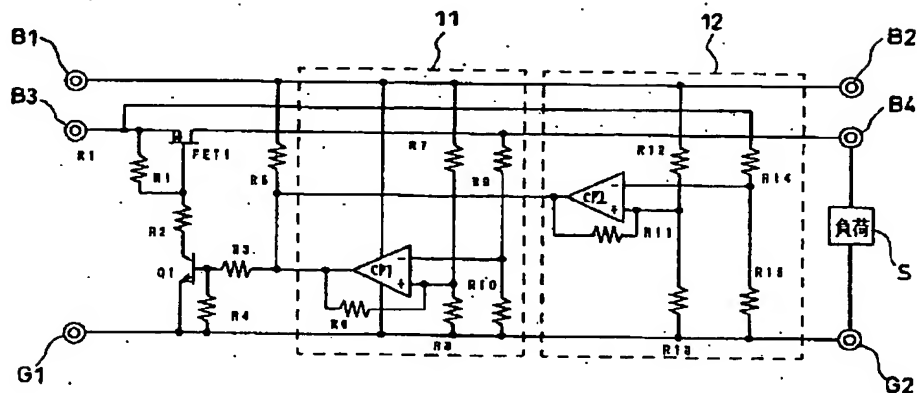
【図面の簡単な説明】

【図1】 本考案に係る実施の形態の概略回路図である。

【符号の説明】

11 過電圧保護回路
12 ラッチ回路
B1、B2 電源端子
B3、B4 電源端子
CP1、CP2 オペアンプ
G1、G2 アース端子
FET1 スイッチング素子
Q1 トランジスタ
R7、R8 分圧回路
R9、R10 分圧回路
R12、R13 分圧回路
R14、R15 分圧回路
S 負荷

【図1】



【考案の詳細な説明】**【0001】****【考案の属する技術分野】**

本考案は、電源回路に係り、特に過電圧保護回路を備えた電源回路に関するものである。

【0002】**【従来の技術】**

スイッチング素子を介在してその出力電圧を負荷に印加するように構成した電源回路においては、スイッチング素子の入力電圧が異常に上昇した時、あるいは電源回路の主要各部に故障が生じて定電圧制御回路が機能しなくなった場合、出力電圧が跳ね上がってしまう。

このような過電圧状態が発生すると、出力平滑用コンデンサの破損、スイッチングトランジスタや抵抗等の異常発熱、さらには負荷の破損等の問題が発生する。このような過電圧により負荷が破壊されないように電源回路には、過電圧保護回路が使用されている。

【0003】

スイッチング素子を介在してその出力電圧を負荷に印加するように構成した電源回路に使用される一般的な過電圧保護回路は、過電圧が印加されるとスイッチング素子をオフ制御して、出力電圧を下げ、出力電圧が下がると、スイッチング素子のオフ制御を解除して通常の定電圧制御に復帰し、出力電圧が増大すると再びスイッチング素子をオフ制御を再開し、この動作の繰返しにより、出力電圧が過大になることによる電解コンデンサ及び出力端子に接続された電子機器等に不具合が発生する現象等を防止するようにしている。

また、出力電圧が所定値以上に過大になるとラッチし回路が動作してスイッチング素子をオフさせてスイッチング動作を停止するようにしている。

【0004】**【考案が解決しようとする課題】**

過電圧発生時、スイッチング素子をオフ制御して、一時的に出力電圧を下げ、出力電圧が下がると、オフ制御を解除して通常の定電圧制御に復帰し、出力電圧

が増大すると再びスイッチング素子のオフ制御を再開し、この動作の繰り返しにより、負荷を保護する過電圧保護回路では、回路構成が大きくなってしまふ。

また、ラッチ回路による過電圧保護では、すぐに回路を停止してしまい、エラーモードにはいつてしまふ等、改善が望まれていた。

【0005】

【課題を解決するための手段】

上記目的を達成するために本考案は、スイッチング素子を介在して負荷に印加される出力電圧が第1の設定値までの過大な電圧となったときには、前記スイッチング素子をオフ制御して、出力電圧を下げ、出力電圧が下がると、前記スイッチング素子のオフ制御を解除して通常の定電圧制御に復帰する第1の過電圧保護回路と、前記スイッチング素子の入力電圧に前記第1の設定値を越える過大な電圧が印加されたときには、前記スイッチング素子をオフさせてスイッチング素子の動作を停止する第2の過電圧保護回路とを備えたことを特徴とする。

【0006】

このように、過電圧を抑える回路と、回路を停止する回路の双方を電源回路に設けたことで、印加された過電圧のレベルによりむやみに回路を停止する必要がなくなり、ある値までは電圧を抑えるだけですむ。

【0007】

【考案の実施の形態】

以下、図1の回路図を用いて本考案を説明する。図1において、端子B1、B2は直流の定電圧(+12V)の供給ラインに設けた電源端子を示す。B3は負荷に印加される直流出力電圧(+40V)を供給する電源端子、また、G1、G2はアース端子を示す。電源端子B3は、スイッチング素子FET1のソース・ドレインを介して負荷Sの電源端子B4に接続されている。スイッチング素子FET1のソース・ゲート間には、抵抗R1が接続されている。また、スイッチング素子FET1のゲートは、抵抗R2を介してトランジスタQ1のコレクタに接続されている。トランジスタQ1のエミッタは接地され、また、トランジスタQ1のベースは抵抗R4を介して接地されるとともに、抵抗R3、抵抗R5を介して電源端子B1に接続されて、その接続点はオペアンプCP1の出力端子及びオ

ペアンプCP2の出力端子に接続されている。

【0008】

オペアンプCP1の基準電圧の入力端子は、抵抗R6を介して出力端子に接続され、この抵抗R6の接続によりヒステリシス特性を持たせている。また、抵抗R7と抵抗R8の直列な分圧回路が電源端子B1とアース端子G1間に接続され、その接続点はオペアンプCP1の基準電圧の入力端子に接続されて、抵抗R7と抵抗R8で分圧された基準電圧が印加されている。スイッチング素子FET1の出力電圧が印加される電源端子B4とアース端子G2間には、抵抗R9と抵抗R10の直列な分圧回路が接続され、その接続点はオペアンプCP1の他の入力端子に接続され、スイッチング素子FET1の出力電圧が抵抗R9と抵抗R10で分圧されてオペアンプCP1の他の入力端子に印加されている。これら、オペアンプCP1と抵抗R7と抵抗R8からなる分圧回路及び抵抗R9と抵抗R10からなる分圧回路は過電圧保護回路11を構成している。

【0009】

オペアンプCP2の基準電圧の入力端子は、抵抗R11を介して出力端子に接続され、この抵抗R11の接続によりヒステリシス特性を持たせている。また、抵抗R12と抵抗R13の直列な分圧回路が電源端子B2とアース端子G2間に接続され、その接続点はオペアンプCP2の基準電圧の入力端子に接続されて、抵抗R12と抵抗R13で分圧された基準電圧が印加されている。電源端子B4とアース端子G2間には、抵抗R14と抵抗R15の直列な分圧回路が接続され、その接続点はオペアンプCP2の他の入力端子に接続されて、スイッチング素子FET1の入力電圧が抵抗R14と抵抗R15で分圧されてオペアンプCP2の他の入力端子に印加されている。これら、オペアンプCP2と抵抗R12と抵抗R13からなる分圧回路及び抵抗R14と抵抗R15からなる分圧回路はラッチ回路12を構成している。

【0010】

次に動作について説明する。今、スイッチング素子FET1の出力電圧が第1の設定値(+50V)までの範囲で過大な電圧となったときには、オペアンプCP1は、スイッチング素子をオフ制御して、出力電圧を下げる。そして、出力電

圧が下がるとオペアンプCP1は、スイッチング素子FET1のオフ制御を解除する。スイッチング素子FET1の出力電圧が第1の設定値までの範囲で過大な電圧となる状態では、オペアンプCP1はこの動作を繰り返す。

次に、スイッチング素子FET1の入力電圧が上記第1の設定値を越える過大な電圧で印加されたときには、オペアンプCP2は、スイッチング素子FET1をオフさせてスイッチング素子FET1の動作を停止する。

【0011】

【考案の効果】

以上説明したように本考案では、スイッチング素子を介在して負荷に印加される出力電圧が過電圧を維持しないように抑える過電圧保護回路と、スイッチング素子の入力電圧が過電圧となった場合にラッチ回路が動作して、スイッチング素子の動作を停止する（ラッチ回路による）過電圧保護回路の双方を電源回路に設けたことで、印加された過電圧のレベルにより回路を停止することができ、むやみに回路を停止する必要がなくなり、ある値までは電圧を抑えるだけですむ等、極めて実用的である。